

Docket No. 212881US2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Eiji YOSHIDA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE AND METHOD OF ANALYZING SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS

WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2001-61638	March 06, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

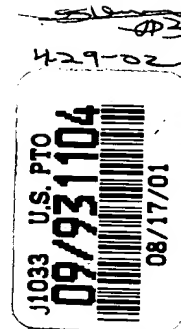
Registration No. 24,913

James D. Hamilton
Registration No. 28,421

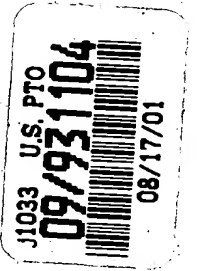


22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2001年 3月 6日

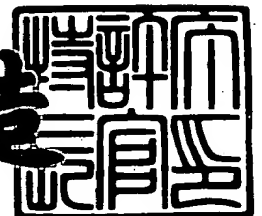
出 願 番 号
Application Number: 特願2001-061638

出 願 人
Applicant(s): 三菱電機株式会社

2001年 3月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3023809

【書類名】 特許願

【整理番号】 529299JP01

【提出日】 平成13年 3月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 吉田 映二

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその解析方法

【特許請求の範囲】

- 【請求項 1】 電位変動が測定されるべき被測定箇所と、一端と、前記被測定箇所に接続される他端とを有する配線と、前記配線の前記一端に接続される観測部とを備え、前記観測部はレーザービームが照射されて前記電位変動が検出される p n 接合を有し、前記 p n 接合は、前記配線の前記一端に接続される第 1 導電型の第 1 不純物領域と、第 2 導電型の第 2 不純物領域とを含む半導体装置。
- 【請求項 2】 前記第 1 不純物領域は前記第 2 不純物領域内に形成される、請求項 1 に記載の半導体装置。
- 【請求項 3】 前記観測部は、前記第 1 不純物領域をソース・ドレイン領域とする第 1 の MOS トランジスタを有する、請求項 2 に記載の半導体装置。
- 【請求項 4】 前記第 1 の MOS トランジスタは、前記第 2 不純物領域と同電位に設定されるゲート電極を有する、請求項 3 に記載の半導体装置。
- 【請求項 5】 前記被測定箇所を有する第 2 の MOS トランジスタを更に備え、前記第 1 の MOS トランジスタ及び前記第 2 の MOS トランジスタは同一のゲートアレイにおいて配置される、請求項 3 及び請求項 4 のいずれか一つに記載の半導体装置。
- 【請求項 6】 前記被測定箇所は前記第 2 の MOS トランジスタのゲート電極である、請求項 5 に記載の半導体装置。
- 【請求項 7】 前記被測定箇所は前記第 2 の MOS トランジスタのソース・ドレイン領域である、請求項 5 に記載の半導体装置。
- 【請求項 8】 前記被測定箇所は前記第 2 の MOS トランジスタのウェル領域である、請求項 5 に記載の半導体装置。
- 【請求項 9】 前記被測定箇所を有する被測定配線を更に備える、請求項 1

に記載の半導体装置。

【請求項 1 0】 前記観測部は、

前記被測定箇所とは異なり前記被測定配線と導通する第 2 の被測定箇所に接続される第 3 不純物領域及び前記第 3 不純物領域とは導電型が反対の第 4 不純物領域を含む第 2 の p n 接合を更に有する、請求項 9 に記載の半導体装置。

【請求項 1 1】 前記第 1 導電型は n 型であり、前記第 2 導電型は p 型であり、

前記観測部は、

前記配線に接続される p 型の第 3 不純物領域及び n 型の第 4 不純物領域を含む第 2 の p n 接合を更に有し、

前記第 2 不純物領域には第 1 の固定電位が、前記第 4 不純物領域には前記第 1 の固定電位よりも高い第 2 の固定電位が、それぞれ与えられる、請求項 1 に記載の半導体装置。

【請求項 1 2】 請求項 1 乃至請求項 9 のいずれか一つに記載の半導体装置の解析方法であって、

(a) 前記 p n 接合にレーザービームを照射する工程と、

(b) 前記 p n 接合で反射された前記レーザービームの光強度を測定する工程と

を備える半導体装置の解析方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は半導体装置及びその解析方法、特に L V P (L a s e r V o l t a g e P r o b e) 技術による解析を容易に行うための構造を備えた半導体装置及びその解析方法に関する。

【0 0 0 2】

【従来の技術】

近年、半導体装置の故障解析技術のうち故障箇所特定の迅速化が重要なウェイトを占めてきている。ますます大規模化、多層化、高機能化しつつある半導体装置の故障箇所を特定するには、半導体装置の外部に出力された不良情報だけでなく内部の回路情報も調べる必要がある。半導体装置内部の回路情報を調査する方法の1つとして、半導体装置内の半導体基板に形成されている半導体素子に対して、半導体基板の表面からレーザービームや電子ビームを照射する方法がある。

【0003】

しかし、LOC (Lead On Chip), CSP (Chip Scale Package), フリップチップ (Flip Chip) などの半導体装置の多様化に伴い、半導体基板の表面から各ビームを照射して故障箇所の特定を行うことが困難になってきている。そのため半導体基板の裏面から半導体装置を解析する方法の一つとして開発された、近赤外線レーザービーム (Infrared Laser Beam) をプローブとして非接触で半導体装置内部の不純物領域の電位変動を観測するLVP技術が提案されている。p型不純物領域とn型不純物領域とで形成しているpn接合に生じる逆方向電界が増加すると、言い換えればp型不純物領域とn型不純物領域との間の逆方向電圧が増加すると、フランツ・ケルディッシュ効果によってpn接合に照射された近赤外線レーザービームは、その逆方向電圧に応じてpn接合での吸収が増加する。その結果、レーザービームのpn接合での反射光強度が減少する。LVP技術はこの反射光強度の変化を検出することによって、pn接合を形成する一方の不純物領域の電位変動を観測するものである。なおLVP技術は、例えばM.Paniccia et al, "Novel Optical Probing Technique for Flip Chip Packaged Microprocessors.," Proceedings of the International Test Conference(ITC), p.740~, 1998に、その内容が詳細に記載されている。

【0004】

【発明が解決しようとする課題】

図11は従来の半導体装置の断面構造を示す模式図である。図11で示すように、従来の半導体装置はnチャネルMOSトランジスタ110とpチャネルMOSトランジスタ120とを有するCMOSトランジスタ200を備えている。

【0005】

nチャネルMOSトランジスタ110はゲート電極1、ソース領域である n^+ 不純物領域2及びドレイン領域である n^+ 不純物領域3を有している。 n^+ 不純物領域2と n^+ 不純物領域3とは所定距離を成して、p型半導体基板100に形成されている p^- ウェル領域6の表面に形成されており、ゲート電極1は n^+ 不純物領域2と n^+ 不純物領域3とで挟まれた p^- ウェル領域6上にゲート絶縁膜（図示せず）を介して形成されている。

【0006】

pチャネルMOSトランジスタ120はゲート電極10、ソース領域である p^+ 不純物領域5及びドレイン領域である p^+ 不純物領域4を有している。 p^+ 不純物領域5と p^+ 不純物領域4とは所定距離を成して、p型半導体基板100に形成されている n^- ウェル領域7の表面に形成されており、ゲート電極10は p^+ 不純物領域5と p^+ 不純物領域4とで挟まれた n^- ウェル領域7上にゲート絶縁膜（図示せず）を介して形成されている。

【0007】

n^+ 不純物領域3と p^+ 不純物領域4とは金属配線12によって互いに接続され、かつ周辺回路50に接続されている。また、ゲート電極1とゲート電極10とは金属配線11によって互いに接続され、かつ周辺回路50に接続されている。 n^+ 不純物領域2及び p^- ウェル領域6には、半導体装置の外部から供給されるグランド電位8が金属配線13を通して印加されており、 p^+ 不純物領域5及び n^- ウェル領域7には、半導体装置の外部から供給される電源電位9が金属配線14を通して印加されている。

【0008】

上述の構造を備える従来の半導体装置において、LVP技術によってCMOSトランジスタ200の出力端であるドレイン領域（ n^+ 不純物領域3及び p^+ 不純物領域4）の電位変動は観測できるが、ゲート電極1、10及びソース領域（ n^+ 不純物領域2及び p^+ 不純物領域5）の電位変動は観測することができなかった。 n チャネルMOSトランジスタ110のソース領域である n^+ 不純物領域2は p^- ウェル領域6と同電位であるため、 n^+ 不純物領域2と p^- ウェル領域6との

間には逆方向電圧が印加されない。同様に、 p チャネルMOSトランジスタ120の p^+ 不純物領域5と n^- ウェル領域7との間には逆方向電圧が印加されない。そのためLVP技術によってソース領域の電位変動を観測することはできない。またゲート電極1, 10はゲート酸化膜を介して p 型半導体基板100上に形成されているため p n 接合を形成しておらず、LVP技術によってその電位変動を観測することはできない。

【0009】

これらに対して、 n チャネルMOSトランジスタ110のドレイン領域である n^+ 不純物領域3は、CMOSトランジスタ200がスイッチング動作を行うと、電源電位9を出力したりグランド電位8を出力したりする。 n^+ 不純物領域3と p n 接合を形成する p^- ウェル領域6はグランド電位8に固定されている。そのため、CMOSトランジスタ200が電源電位9を出力する際には、 n^+ 不純物領域3と p^- ウェル領域6との間に逆方向電圧が印加される。その結果、 n^+ 不純物領域3と p^- ウェル領域6とで形成されている p n 接合に近赤外線レーザービーム20を照射し、そのレーザービームの反射光の光強度を検出することによって、 n^+ 不純物領域3の電位変動を観測することができる。同様にして、CMOSトランジスタ200がグランド電位8を出力する際には、 p チャネルMOSトランジスタ120のドレイン領域である p^+ 不純物領域4の電位変動を観測することができる。

【0010】

ここで半導体装置の故障箇所を特定するためには、CMOSトランジスタ200の出力端であるドレイン領域だけの電位変動の観測では不十分であるという問題があった。故障原因が n チャネルMOSトランジスタ110あるいは p チャネルMOSトランジスタ120にあるのか、それとも金属配線11, 12にあるのか、または金属配線11, 12に故障原因がある場合、金属配線11, 12のどこにその故障原因が存在するのか、詳細に突き止めるためにはCMOSトランジスタ200の入力端であるゲート電極1, 10や金属配線11, 12の途中での電位変動の観測が必要である。また電源電位9及びグランド電位8のノイズ不良などの特定には電源電位9及びグランド電位8の電位変動の観測を行う必要があ

る。

【0011】

そこで、本発明は上述のような問題を解決するためになされたものであり、半導体装置の故障箇所をより詳細に突き止めるための構造を備えた半導体装置及びその解析方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

この発明のうち請求項1に記載の半導体装置は、電位変動が測定されるべき被測定箇所と、一端と、前記被測定箇所に接続される他端とを有する配線と、前記配線の前記一端に接続される観測部とを備え、前記観測部はレーザービームが照射されて前記電位変動が検出されるpn接合を有し、前記pn接合は、前記配線の前記一端に接続される第1導電型の第1不純物領域と、第2導電型の第2不純物領域とを含むものである。

【0013】

また、この発明のうち請求項2に記載の半導体装置は、請求項1に記載の半導体装置であって、前記第1不純物領域は前記第2不純物領域内に形成されるものである。

【0014】

また、この発明のうち請求項3に記載の半導体装置は、請求項2に記載の半導体装置であって、前記観測部は、前記第1不純物領域をソース・ドレイン領域とする第1のMOSトランジスタを有するものである。

【0015】

また、この発明のうち請求項4に記載の半導体装置は、請求項3に記載の半導体装置であって、前記第1のMOSトランジスタは、前記第2不純物領域と同電位に設定されるゲート電極を有するものである。

【0016】

また、この発明のうち請求項5に記載の半導体装置は、請求項3及び請求項4のいずれか一つに記載の半導体装置であって、前記被測定箇所を有する第2のMOSトランジスタを更に備え、前記第1のMOSトランジスタ及び前記第2のM

OSトランジスタは同一のゲートアレイにおいて配置されるものである。

【0017】

また、この発明のうち請求項6に記載の半導体装置は、請求項5に記載の半導体装置であって、前記被測定箇所は前記第2のMOSトランジスタのゲート電極であるものである。

【0018】

また、この発明のうち請求項7に記載の半導体装置は、請求項5に記載の半導体装置であって、前記被測定箇所は前記第2のMOSトランジスタのソース・ドレイン領域であるものである。

【0019】

また、この発明のうち請求項8に記載の半導体装置は、請求項5に記載の半導体装置であって、前記被測定箇所は前記第2のMOSトランジスタのウェル領域であるものである。

【0020】

また、この発明のうち請求項9に記載の半導体装置は、請求項1に記載の半導体装置であって、前記被測定箇所を有する被測定配線を更に備えるものである。

【0021】

また、この発明のうち請求項10に記載の半導体装置は、請求項9に記載の半導体装置であって、前記観測部は、前記被測定箇所とは異なり前記被測定配線と導通する第2の被測定箇所に接続される第3不純物領域及び前記第3不純物領域とは導電型が反対の第4不純物領域を含む第2のpn接合を更に有するものである。

【0022】

また、この発明のうち請求項11に記載の半導体装置は、請求項1に記載の半導体装置であって、前記第1導電型はn型であり、前記第2導電型はp型であり、前記観測部は、前記配線に接続されるp型の第3不純物領域及びn型の第4不純物領域を含む第2のpn接合を更に有し、前記第2不純物領域には第1の固定電位が、前記第4不純物領域には前記第1の固定電位よりも高い第2の固定電位が、それぞれ与えられるものである。

【 0 0 2 3 】

また、この発明のうち請求項 1 2 に記載の半導体装置の解析方法は、請求項 1 乃至請求項 9 のいずれか一つに記載の半導体装置の解析方法であって、(a) 前記 p n 接合にレーザービームを照射する工程と、(b) 前記 p n 接合で反射された前記レーザービームの光強度を測定する工程とを備えるものである。

【 0 0 2 4 】

【発明の実施の形態】

実施の形態 1.

図 1 は本実施の形態 1 に係る半導体装置の構造を示す模式図である。上述の従来の半導体装置が例えばゲートアレイ構造を成す場合、CMOS トランジスタ 2 0 0 の周辺には通常、回路動作には採用されない（以下「未使用」と称す）CMOS トランジスタ 2 0 1 が形成されている。本実施の形態 1 に係る半導体装置は、この未使用の CMOS トランジスタ 2 0 1 を利用して、CMOS トランジスタ 2 0 0 のゲート電極 1, 1 0 の電位変動を観測することができるような構造を備えたものである。

【 0 0 2 5 】

図 1 で示すように本実施の形態 1 に係る半導体装置は、n チャネル MOS トランジスタ 1 1 0 と p チャネル MOS トランジスタ 1 2 0 とを有する CMOS トランジスタ 2 0 0 と、n チャネル MOS トランジスタ 1 1 1 と p チャネル MOS トランジスタ 1 2 1 とを有する CMOS トランジスタ 2 0 1 とを備えている。CMOS トランジスタ 2 0 1 は CMOS トランジスタ 2 0 0 の周辺に配置された未使用のトランジスタである。

【 0 0 2 6 】

CMOS トランジスタ 2 0 0 の n チャネル MOS トランジスタ 1 1 0 はゲート電極 1, ソース領域である n^+ 不純物領域 2 及びドレイン領域である n^+ 不純物領域 3 を有している。 n^+ 不純物領域 2 と n^+ 不純物領域 3 とは所定距離を成して、p 型半導体基板 1 0 0 に形成されている p^- ウェル領域 6 の表面に形成されており、ゲート電極 1 は n^+ 不純物領域 2 と n^+ 不純物領域 3 とで挟まれた p^- ウェル領域 6 上にゲート絶縁膜（図示せず）を介して形成されている。また p チャネル

MOSトランジスタ120はゲート電極10、ソース領域である p^+ 不純物領域5及びドレイン領域である p^+ 不純物領域4を有している。 p^+ 不純物領域5と p^+ 不純物領域4とは所定距離を成して、 p 型半導体基板100に形成されている n^- ウェル領域7の表面に形成されており、ゲート電極10は p^+ 不純物領域5と p^+ 不純物領域4とで挟まれた n^- ウェル領域7上にゲート絶縁膜（図示せず）を介して形成されている。

【0027】

未使用のCMOSトランジスタ201の n チャネルMOSトランジスタ111はゲート電極21、ソース領域である n^+ 不純物領域22及びドレイン領域である n^+ 不純物領域23を有している。 n^+ 不純物領域22と n^+ 不純物領域23とは所定距離を成して、 p 型半導体基板100に形成されている p^- ウェル領域26の表面に形成されており、ゲート電極21は n^+ 不純物領域22と n^+ 不純物領域23とで挟まれた p^- ウェル領域26上にゲート絶縁膜（図示せず）を介して形成されている。また p チャネルMOSトランジスタ121はゲート電極30、ソース領域である p^+ 不純物領域25及びドレイン領域である p^+ 不純物領域24を有している。 p^+ 不純物領域25と p^+ 不純物領域24とは所定距離を成して、 p 型半導体基板100に形成されている n^- ウェル領域27の表面に形成されており、ゲート電極30は p^+ 不純物領域25と p^+ 不純物領域24とで挟まれた n^- ウェル領域27上にゲート絶縁膜（図示せず）を介して形成されている。

【0028】

CMOSトランジスタ200の n^+ 不純物領域3と p^+ 不純物領域4とは金属配線12によって互いに接続され、かつ周辺回路50に接続されている。また、ゲート電極1とゲート電極10とは金属配線11によって互いに接続され、かつ周辺回路50に接続されている。 n^+ 不純物領域2及び p^- ウェル領域6は、半導体装置の外部から供給されるグランド電位8が金属配線13を通して印加されており、 p^+ 不純物領域5及び n^- ウェル領域7は、半導体装置の外部から供給される電源電位9が金属配線14を通して印加されている。

【0029】

未使用のCMOSトランジスタ201の n^+ 不純物領域23と p^+ 不純物領域2

4とは金属配線31の一端において互いに接続され、金属配線31の他端はゲート電極10と接続されている。ここで、ゲート電極1とゲート電極10とは金属配線11によって接続されているため、ゲート電極1と n^+ 不純物領域23及び p^+ 不純物領域24とは電氣的に接続されていることになる。そして p^- ウェル領域26は金属配線33を通してグランド電位8が印加されており、 n^- ウェル領域27は金属配線34を通して電源電位9が印加されている。

【0030】

上述の構造を備える本実施の形態1に係る半導体装置において、CMOSトランジスタ200のスイッチング動作を行うために、周辺回路50からゲート電極1, 10に対して種々の電位が出力される。 p^- ウェル領域26はグランド電位8に固定されているため、当該電位がグランド電位8よりも高ければ、 n^+ 不純物領域23と p^- ウェル領域26との間には逆方向電圧が印加される。同様に、当該電位が電源電位9よりも低ければ、 p^+ 不純物領域24と n^- ウェル領域27との間に逆方向電圧が印加される。特に当該電位がグランド電位8と電源電位9との間であれば、 n^+ 不純物領域23と p^- ウェル領域26の間にも p^+ 不純物領域24と n^- ウェル領域27の間にも逆方向電圧が印加される。

【0031】

以上のように、 n^+ 不純物領域23と p^- ウェル領域26とで形成されるpn接合あるいは p^+ 不純物領域24と n^- ウェル領域27とで形成されるpn接合に、p型半導体基板100の裏面から近赤外線レーザービーム20を照射し、その反射光強度を検出することによって、ゲート電極1, 10における電位変動を観測することができる。しかも2種のpn接合を用いることにより、電位変動の観測レンジを広げることができる。

【0032】

このように本実施の形態1に係る半導体装置によれば、CMOSトランジスタ200の出力端であるドレイン領域(n^+ 不純物領域3及び p^+ 不純物領域4)に加えて、入力端であるゲート電極1, 10の電位変動を観測することができるため、上述の従来の半導体装置よりも詳細に故障箇所を特定することができる。

【0033】

なお本実施の形態 1 では、未使用の CMOS トランジスタ 2 0 1 のドレイン領域 (n^+ 不純物領域 2 3 及び p^+ 不純物領域 2 4) にゲート電極 1 0 を接続したが、ソース領域 (n^+ 不純物領域 2 2 及び p^+ 不純物領域 2 5) にゲート電極 1, 1 0 を接続しても良い。このとき、近赤外線レーザービーム 2 0 は、 n^+ 不純物領域 2 2 と p^- ウェル領域 2 6 とで形成される $p n$ 接合あるいは p^+ 不純物領域 2 5 と n^- ウェル領域 2 7 とで形成される $p n$ 接合に照射されることは言うまでもない。また本明細書では、ソース領域とドレイン領域とを区別する必要がなく、どちらでも良い場合は、「ソース・ドレイン領域」と呼ぶ。

【 0 0 3 4 】

また、ゲート電極 1, 1 0 の電位変動を観測するために未使用の CMOS トランジスタ 2 0 1 を使用したが、 $p n$ 接合を備えている半導体素子であれば良い。例えばダイオードや n チャネル MOS トランジスタが有する p 型不純物領域及び n 型不純物領域のどちらか一方とゲート電極 1, 1 0 とを電氣的に接続する。そして、 p 型不純物領域と n 型不純物領域との間に逆方向電圧が加わるように、 p 型不純物領域及び n 型不純物領域のうちゲート電極 1, 1 0 と接続されていない方の電位を固定する。このときゲート電極 1, 1 0 の電位が変化すると、当該 $p n$ 接合の逆方向電界の強度が変化する。その結果、当該 $p n$ 接合に近赤外線レーザービーム 2 0 を照射し、その反射光強度を検出することによってゲート電極 1, 1 0 の電位変動を観測することができる。

【 0 0 3 5 】

上記の例では、未使用の CMOS トランジスタ 2 0 1 が有する $p n$ 接合を利用することによって、CMOS トランジスタ 2 0 0 のゲート電極 1, 1 0 の電位変動を観測したが、CMOS トランジスタ 2 0 0 のソース・ドレイン領域の電位変動も観測することができる。図 2 ～ 4 は本実施の形態 1 に係る半導体装置の変形例の断面構造を示す模式図である。図 2 で示す半導体装置は CMOS トランジスタ 2 0 0 のドレイン領域の電位変動を観測するためのものであって、図 3 で示す半導体装置は p チャネル MOS トランジスタ 1 2 0 のソース領域の電位変動を観測するためのものであって、図 4 で示す半導体装置は n チャネル MOS トランジスタ 1 1 0 のソース領域の電位変動を観測するためのものである。

【0036】

図2で示すように、CMOSトランジスタ200のドレイン領域である p^+ 不純物領域4と、未使用のCMOSトランジスタ201の n^+ 不純物領域23及び p^+ 不純物領域24とは、金属配線32によって接続されている。そして、上述のように、CMOSトランジスタ200がスイッチング動作をするときにはドレイン領域である p^+ 不純物領域4は電源電位9を出力したりグランド電位8を出力したりするため、 n^+ 不純物領域23と p^- ウェル領域26との間及び p^+ 不純物領域24と n^- ウェル領域27との間の少なくともいずれか一方に逆方向電圧が印加される。その結果、 n^+ 不純物領域23と p^- ウェル領域26とで形成されるpn接合あるいは p^+ 不純物領域24と n^- ウェル領域27とで形成されるpn接合に、近赤外線レーザービーム20を照射し、その反射光強度を検出することによって、CMOSトランジスタ200のドレイン領域の電位変動を観測することができる。

【0037】

また、図3で示すように、pチャネルMOSトランジスタ120のソース領域である p^+ 不純物領域5と、未使用のCMOSトランジスタ201の n^+ 不純物領域23とは、金属配線33によって接続されている。 p^+ 不純物領域5は電源電位9に接続されているため、 n^+ 不純物領域23と p^- ウェル領域26との間に逆方向電圧が印加される。その結果、 n^+ 不純物領域23と p^- ウェル領域26とで形成されるpn接合に、近赤外線レーザービーム20を照射し、その反射光強度を検出することによって、pチャネルMOSトランジスタ120のソース領域である p^+ 不純物領域5の電位変動を観測することができる。

【0038】

また、図4で示すように、nチャネルMOSトランジスタ110のソース領域である n^+ 不純物領域2と、未使用のCMOSトランジスタ201の p^+ 不純物領域24とは、金属配線35によって接続されている。 n^+ 不純物領域2はグランド電位8に接続されているため、 p^+ 不純物領域24と n^- ウェル領域27との間に逆方向電圧が印加される。その結果、 p^+ 不純物領域24と n^- ウェル領域27とで形成されるpn接合に、近赤外線レーザービーム20を照射し、その反射光

強度を検出することによって、 n チャネルMOSトランジスタ110のソース領域である n^+ 不純物領域2の電位変動を観測することができる。

【0039】

実施の形態2.

図5は本実施の形態2に係る半導体装置の断面構造を示す模式図である。図5に示すように、本実施の形態2に係る半導体装置は、図1で示す実施の形態1に係る半導体装置において、金属配線31の代わりに金属配線41を設け、未使用のCMOSトランジスタ201の n^+ 不純物領域23及び p^+ 不純物領域24を金属配線41の一端で接続し、金属配線41の他端を接続点60に接続したものである。その他の構造については実施の形態1と同じであるため、ここでは説明を省略する。

【0040】

上述の構造を備える本実施の形態2に係る半導体装置では、金属配線11が n^+ 不純物領域23及び p^+ 不純物領域24と電氣的に接続されているため、金属配線11の電位変動を観測することができる。具体的には、 n^+ 不純物領域23と p^- ウェル領域26とで形成される pn 接合あるいは p^+ 不純物領域24と n^- ウェル領域27とで形成される pn 接合に、 p 型半導体基板100の裏面から近赤外線レーザービーム20を照射し、その反射光強度を検出することによって、金属配線11の電位変動を観測することができる。

【0041】

図1で示す実施の形態1に係る半導体装置では、ゲート電極1, 10の変動電位を観測しているが、言い換えれば周辺回路50からゲート電極1, 10に与えられる電位を、ゲート電極1, 10端で観測している。そのため、例えば金属配線11に不良発生が多い場合、ゲート電極1, 10での電位変動の観測では、金属配線11のどの箇所で不良が発生しているのか特定することが困難であった。しかし本実施の形態2では、金属配線11の電位変動を観測しているため、金属配線11のどの箇所に不良が発生しているのか推測することができる。具体的には、接続点60における金属配線11の電位の変化がLVP技術によって観測されなかったとき、周辺回路50と接続点60との間の金属配線11に不良が発生し

ていると推測することができる。

【0042】

上記の例では、金属配線11の電位変動を観測したが、接続点60を金属配線12に設けることによって、周辺回路50とCMOSトランジスタ200のドレイン領域との間の配線における不良箇所を推定することができる。

【0043】

図6は本実施の形態2に係る半導体装置の変形例の断面構造を示す模式図である。図6で示す半導体装置は、本実施の形態2に係る半導体装置において、図1で示す実施の形態1に係る半導体装置の金属配線31をさらに備えたものである。つまり、ゲート電極1、10の電位変動と、金属配線11の電位変動とを観測できる構造となっている。具体的には、金属配線31によって、ゲート電極10と n^+ 不純物領域23とが接続されている。また、金属配線41によって、金属配線11と p^+ 不純物領域24とが接続点60で接続されている。その他の構造については図5で示す本実施の形態2に係る半導体装置と同じであるため、説明を省略する。

【0044】

上述の構造を備える図6で示す半導体装置では、ゲート電極1、10と、金属配線11とで電位変動を観測することができるため、図5で示された半導体装置よりも詳細に、金属配線11の不良箇所を特定することができる。例えば、接続点60における金属配線11での電位の変化がLVP技術によって観測されなかった場合、周辺回路50と接続点60との間の金属配線11に不良が発生していると推測することができる。また、例えば接続点60における金属配線11での電位の変化が観測され、ゲート電極1、10での電位の変化が観測されなかった場合、接続点60とゲート電極1、10との間の金属配線11に不良が発生していると推測することができる。

【0045】

実施の形態3.

図7は本実施の形態3に係る半導体装置の断面構造を示す模式図である。また、図8は図7で示す半導体装置の構造を模式的に示す平面図であって、図7にお

ける p^- ウェル領域 6, 26 及び n^- ウェル領域 7, 27 の記載を省略している。

【0046】

図 7, 8 で示すように、本実施の形態 3 に係る半導体装置は、図 5 で示す実施の形態 2 に係る半導体装置において、金属配線 133, 134 を更に備えたものである。具体的には、ゲート電極 21 に接続された金属配線 133 と金属配線 33 とを接続することによって、ゲート電極 21 をグランド電位 8 に固定している。また、ゲート電極 30 に接続された金属配線 134 と金属配線 34 とを接続することによって、ゲート電極 30 を電源電位 9 に固定している。その他の構造については、図 5 で示す本実施の形態 2 に係る半導体装置と同じであるため、説明を省略する。

【0047】

上述のような構造を備える本実施の形態 3 に係る半導体装置では、ゲート電極 21 が p^- ウェル領域 26 と同電位であり、ゲート電極 30 が n^- ウェル領域 27 と同電位であるため、未使用の CMOS トランジスタ 201 が、金属配線 11 の電位変動の観測中にスイッチング動作を行うことがない。そのため、実施の形態 2 に係る半導体装置よりも正確に金属配線 11 における電位変動を観測することができる。

【0048】

なお、図 1 ~ 4 及び図 6 で示す半導体装置におけるゲート電極 21 及びゲート電極 30 を、グランド電位 8 及び電源電位 9 に固定することによって、本実施の形態 3 に係る半導体装置と同様の効果が得られることは言うまでもない。

【0049】

実施の形態 4.

図 9 及び図 10 は本実施の形態 4 に係る半導体装置の構造を示す模式図である。本実施の形態 3 に係る半導体装置は、未使用の CMOS トランジスタ 201 のみを使用して、半導体装置の電源電位 9 とグランド電位 8 との電位差の変動を観測するものである。

【0050】

図 9 (a) で示す半導体装置では、 p^+ 不純物領域 24, 25 に接続された金

属配線 80 を金属配線 33 に接続することによって、グランド電位 8 の電位変動を観測している。具体的には、未使用の CMOS トランジスタ 201 の p^- ウェル領域 26 は金属配線 33 を通してグランド電位 8 に固定されており、 n^- ウェル領域 27 は金属配線 34 を通して電源電位 9 に固定されている。 p^+ 不純物領域 24, 25 に接続された金属配線 80 は金属配線 33 に接続されており、その結果、 p^+ 不純物領域 24, 25 はグランド電位 8 に接続される。そして、 p^+ 不純物領域 24, 25 と n^- ウェル領域 27 とで形成される $p-n$ 接合に近赤外線レーザービーム 20 を照射し、その反射光強度を検出する。

【0051】

また、図 9 (b) で示す半導体装置では、 p^+ 不純物領域 24, 25 に接続された金属配線 80 を p^- ウェル領域 26 に直接接続することによって、図 9 (a) で示す半導体装置と同様に近赤外線レーザービーム 20 の反射光強度を検出する。ここで、 $p-n$ 接合を形成する p^+ 不純物領域 24, 25 及び n^- ウェル領域 27 はグランド電位 8 及び電源電位 9 に接続されているため、LVP 技術によって反射光強度を観測することは、電源電位 9 とグランド電位 8 との電位差の変動、つまり半導体装置の電源におけるノイズ不良や電源電圧変動不良を観測することになる。

【0052】

図 10 (a) で示す半導体装置では、 n^+ 不純物領域 22, 23 に接続された金属配線 81 を金属配線 34 に接続することによって、電源電位 9 の電位変動を観測している。具体的には、未使用の CMOS トランジスタ 201 の p^- ウェル領域 26 は金属配線 33 を通してグランド電位 8 に固定されており、 n^- ウェル領域 27 は金属配線 34 を通して電源電位 9 に固定されている。 n^+ 不純物領域 22, 23 に接続された金属配線 81 は金属配線 34 に接続されており、その結果、 n^+ 不純物領域 22, 23 は電源電位 9 に接続される。そして、 n^+ 不純物領域 22, 23 と p^- ウェル領域 26 とで形成される $p-n$ 接合に近赤外線レーザービーム 20 を照射し、その反射光強度を検出する。

【0053】

また、図 10 (b) で示す半導体装置では、 n^+ 不純物領域 22, 23 に接続

された金属配線 81 を n^- ウェル領域 27 に直接接続することによって、図 10 (a) で示す半導体装置と同様に近赤外線レーザービーム 20 の反射光強度を検出する。ここで、 p - n 接合を形成する n^+ 不純物領域 22, 23 及び p^- ウェル領域 26 は電源電位 9 及びグランド電位 8 に接続されているため、LVP 技術によって反射光強度を観測することは、電源電位 9 とグランド電位 8 との電位差の変動、つまり半導体装置の電源におけるノイズ不良や電源電圧変動不良を観測することになる。

【0054】

通常、ゲートアレイ構造における未使用の CMOS トランジスタ 201 の p^- ウェル領域 26 及び n^- ウェル領域 27 はグランド電位 8 及び電源電位 9 に接続されているため、上述のように未使用の CMOS トランジスタ 201 のみを使用することによって、半導体装置の電源におけるノイズ不良や電源電圧変動不良を観測することができる。

【0055】

なお、図 9 (a) 及び図 10 (a) で示す半導体装置は、言い換えれば金属配線 33 及び金属配線 34 の電位変動を観測することによって、半導体装置の電源におけるノイズ不良などを観測している。また、図 9 (b) 及び図 10 (b) で示す半導体装置は、言い換えれば未使用の CMOS トランジスタ 201 の p^- ウェル領域 26 及び n^- ウェル領域 27 の電位変動を観測することによって、半導体装置の電源におけるノイズ不良などを観測している。

【0056】

【発明の効果】

この発明のうち請求項 1 及び請求項 2 に係る半導体装置によれば、観測部と離れた被測定箇所の電位変動を観測部で測定することができる。

【0057】

また、この発明のうち請求項 3 に係る半導体装置によれば、被測定箇所の電位変動を第 1 の MOS トランジスタで測定することができる。

【0058】

また、この発明のうち請求項 4 に係る半導体装置によれば、第 1 の MOS トラ

ンジスタがスイッチング動作を行わないため、正確に被測定箇所の電位変動を測定することができる。

【 0 0 5 9 】

また、この発明のうち請求項 5 に係る半導体装置によれば、第 2 の MOS トランジスタが有する被測定箇所の電位変動を、第 1 の MOS トランジスタで測定することができる。

【 0 0 6 0 】

また、この発明のうち請求項 6 に係る半導体装置によれば、第 2 の MOS トランジスタのゲート電極の電位変動を、第 1 の MOS トランジスタで測定することができる。

【 0 0 6 1 】

また、この発明のうち請求項 7 に係る半導体装置によれば、第 2 の MOS トランジスタのソース・ドレイン領域の電位変動を、第 1 の MOS トランジスタで測定することができる。

【 0 0 6 2 】

また、この発明のうち請求項 8 に係る半導体装置によれば、第 2 の MOS トランジスタのウェル領域の電位変動を、第 1 の MOS トランジスタで測定することができる。

【 0 0 6 3 】

また、この発明のうち請求項 9 に係る半導体装置によれば、観測部と離れた被測定配線が有する被測定箇所の電位変動を、観測部で測定することができる。

【 0 0 6 4 】

また、この発明のうち請求項 1 0 に係る半導体装置によれば、被測定配線の被測定箇所及び第 2 の被測定箇所において電位変動を観測することができるので、被測定配線での不良箇所を特定することができる。

【 0 0 6 5 】

また、この発明のうち請求項 1 1 に係る半導体装置によれば、異なる 2 つの p n 接合を採用することにより、被測定箇所の電位変動の観測レンジを広げることができる。

【0066】

また、この発明のうち請求項12に係る半導体装置によれば、請求項1乃至請求項9のいずれか一つに記載の半導体装置を解析することができる。

【図面の簡単な説明】

【図1】 本実施の形態1に係る半導体装置の断面構造を示す模式図である。

【図2】 本実施の形態1に係る半導体装置の変形例の断面構造を示す模式図である。

【図3】 本実施の形態1に係る半導体装置の変形例の断面構造を示す模式図である。

【図4】 本実施の形態1に係る半導体装置の変形例の断面構造を示す模式図である。

【図5】 本実施の形態2に係る半導体装置の断面構造を示す模式図である。

【図6】 本実施の形態2に係る半導体装置の変形例の断面構造を示す模式図である。

【図7】 本実施の形態3に係る半導体装置の断面構造を示す模式図である。

【図8】 本実施の形態3に係る半導体装置の構造を模式的に示す平面図である。

【図9】 本実施の形態4に係る半導体装置の断面構造を示す模式図である。

【図10】 本実施の形態4に係る半導体装置の断面構造を示す模式図である。

【図11】 従来の半導体装置の断面構造を示す模式図である。

【符号の説明】

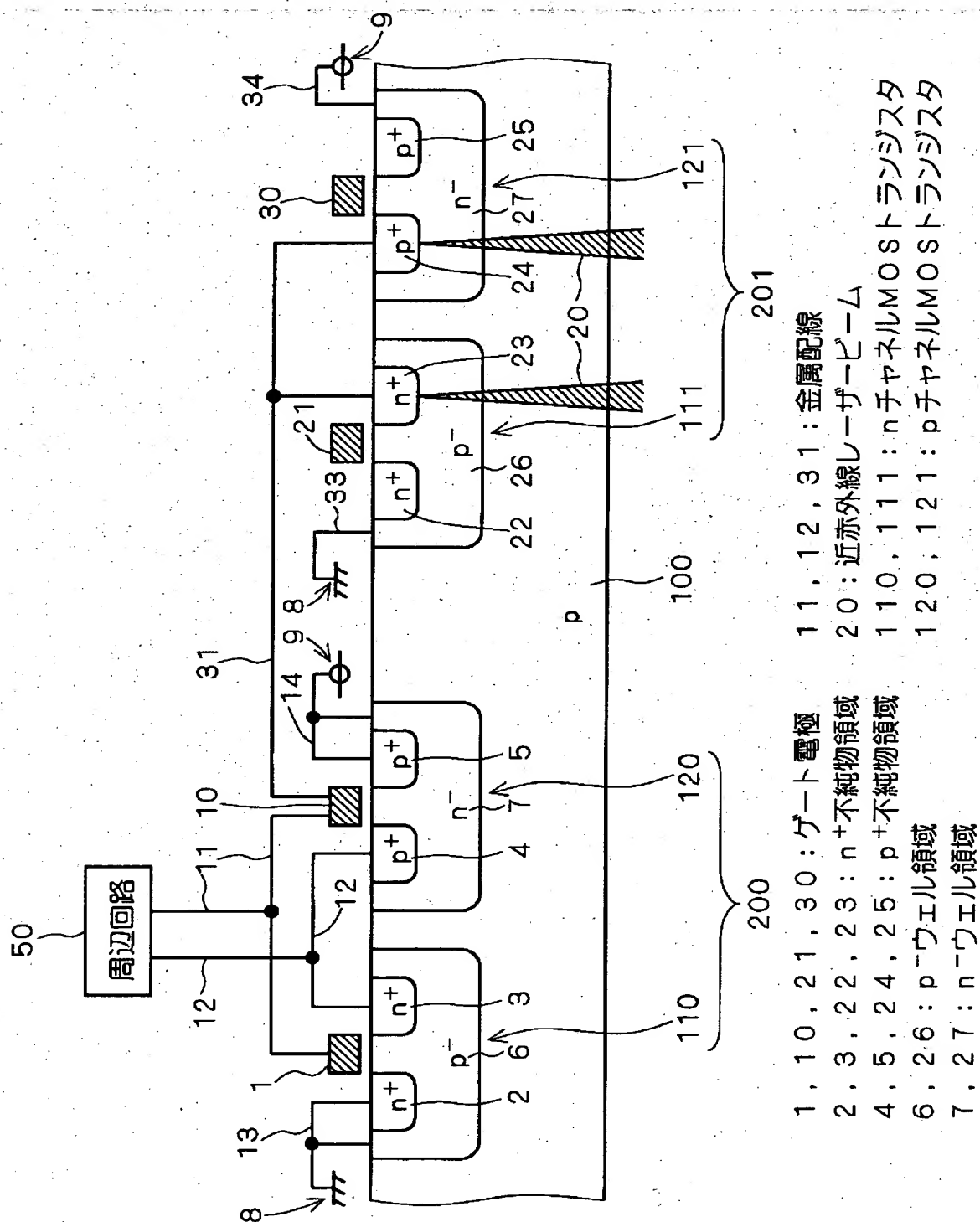
1, 10, 21, 30 ゲート電極、2, 3, 22, 23 n^+ 不純物領域、
4, 5, 24, 25 p^+ 不純物領域、6, 26 p^- ウェル領域、7, 27 n^- ウェル領域、11, 12, 31, 32, 33, 35, 41, 80, 81 金属

配線、20 近赤外線レーザービーム、110, 111 nチャネルMOSトランジスタ、120, 121 pチャネルMOSトランジスタ。

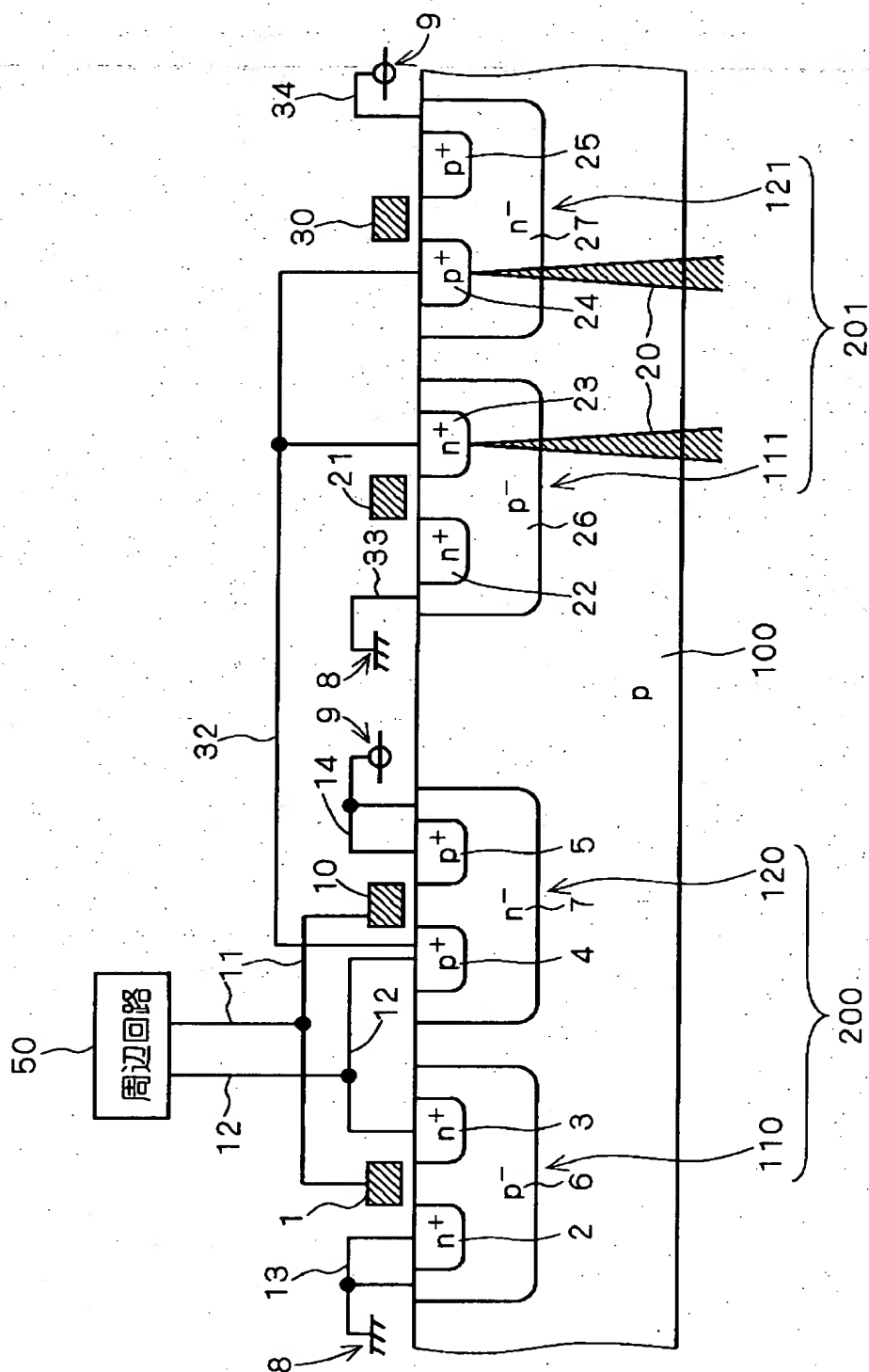
【書類名】

図面

【図 1】

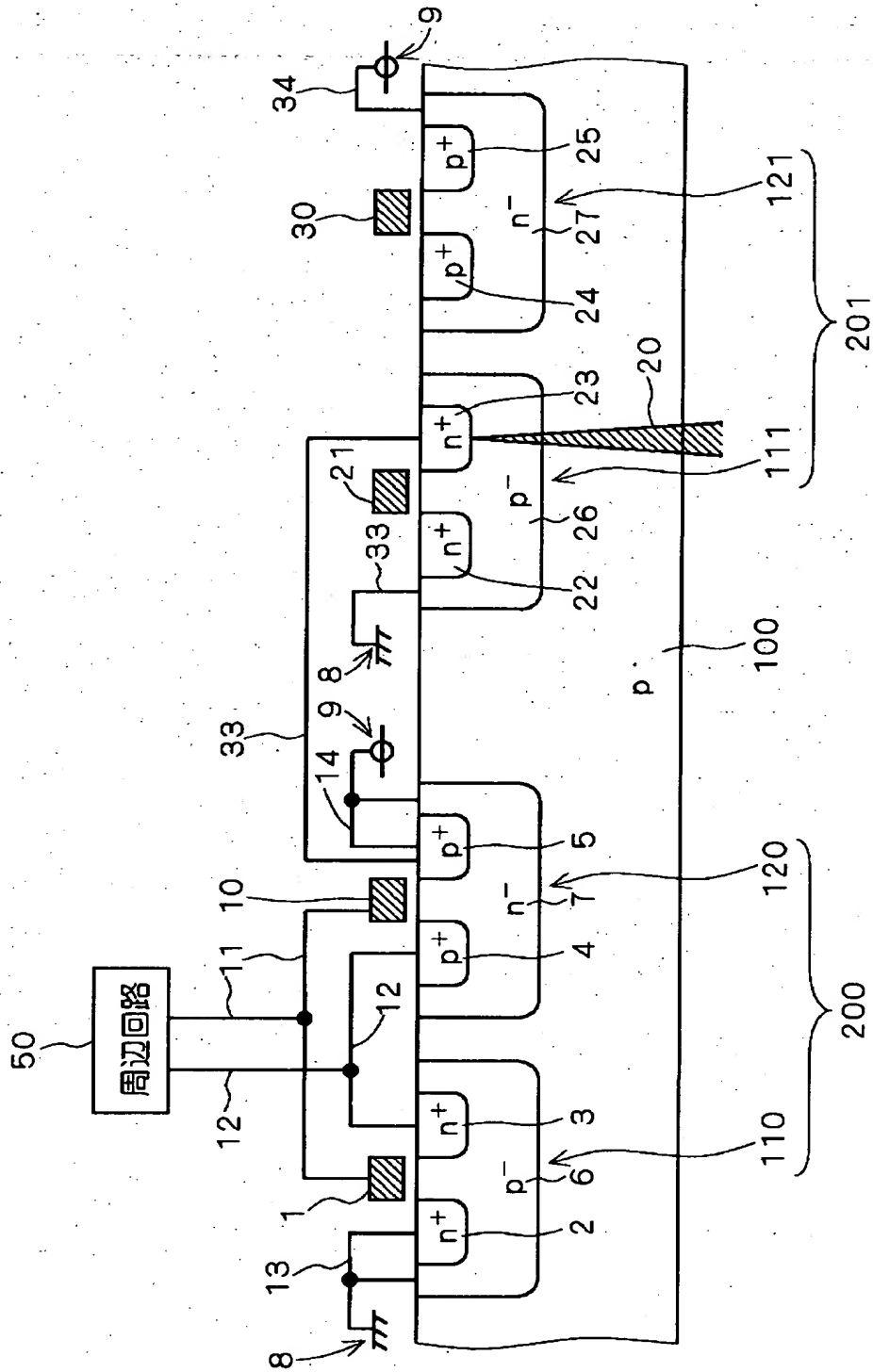


【図 2】



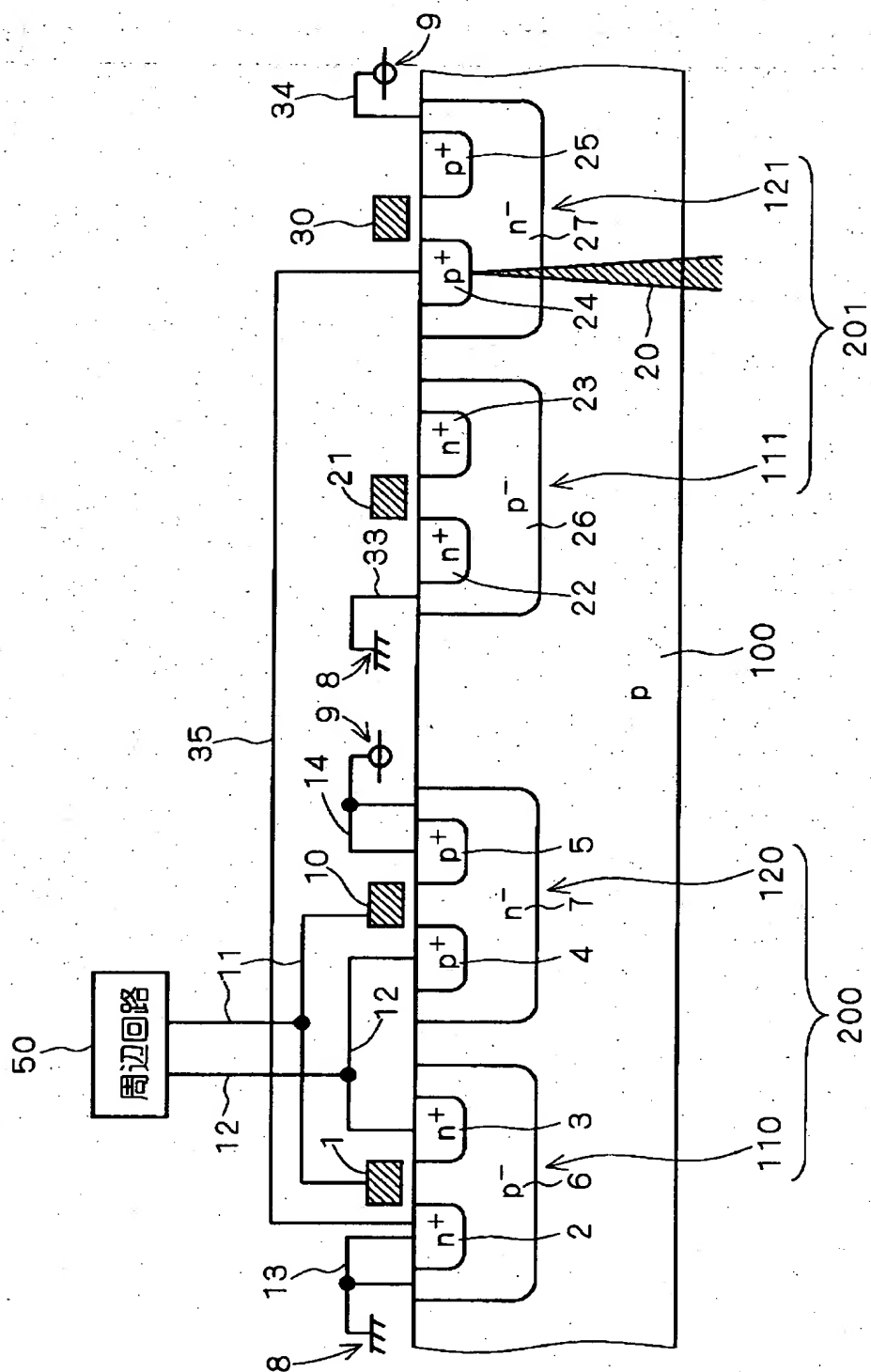
32: 金屬配線

【図3】



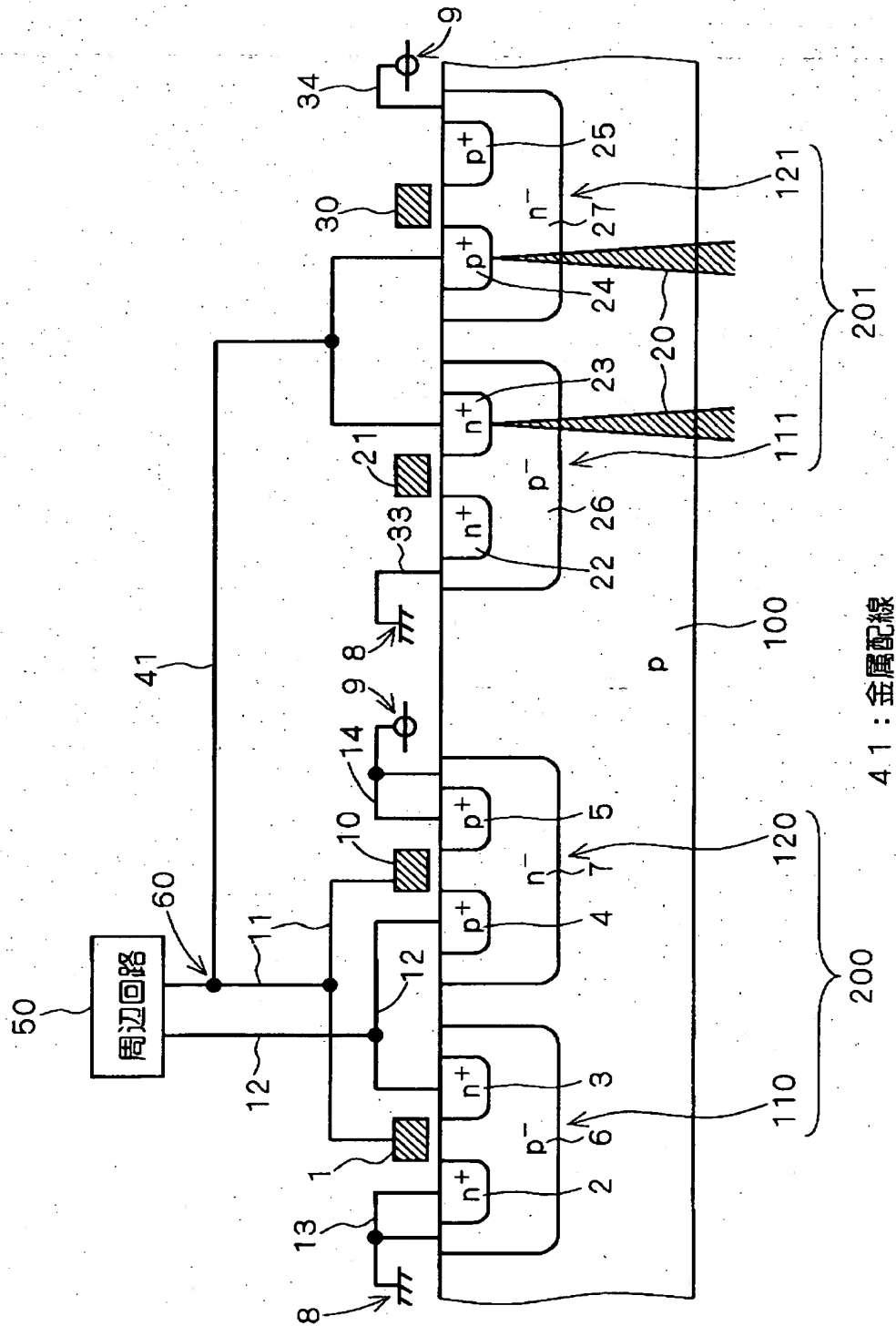
33 : 金属配線

【圖 4】

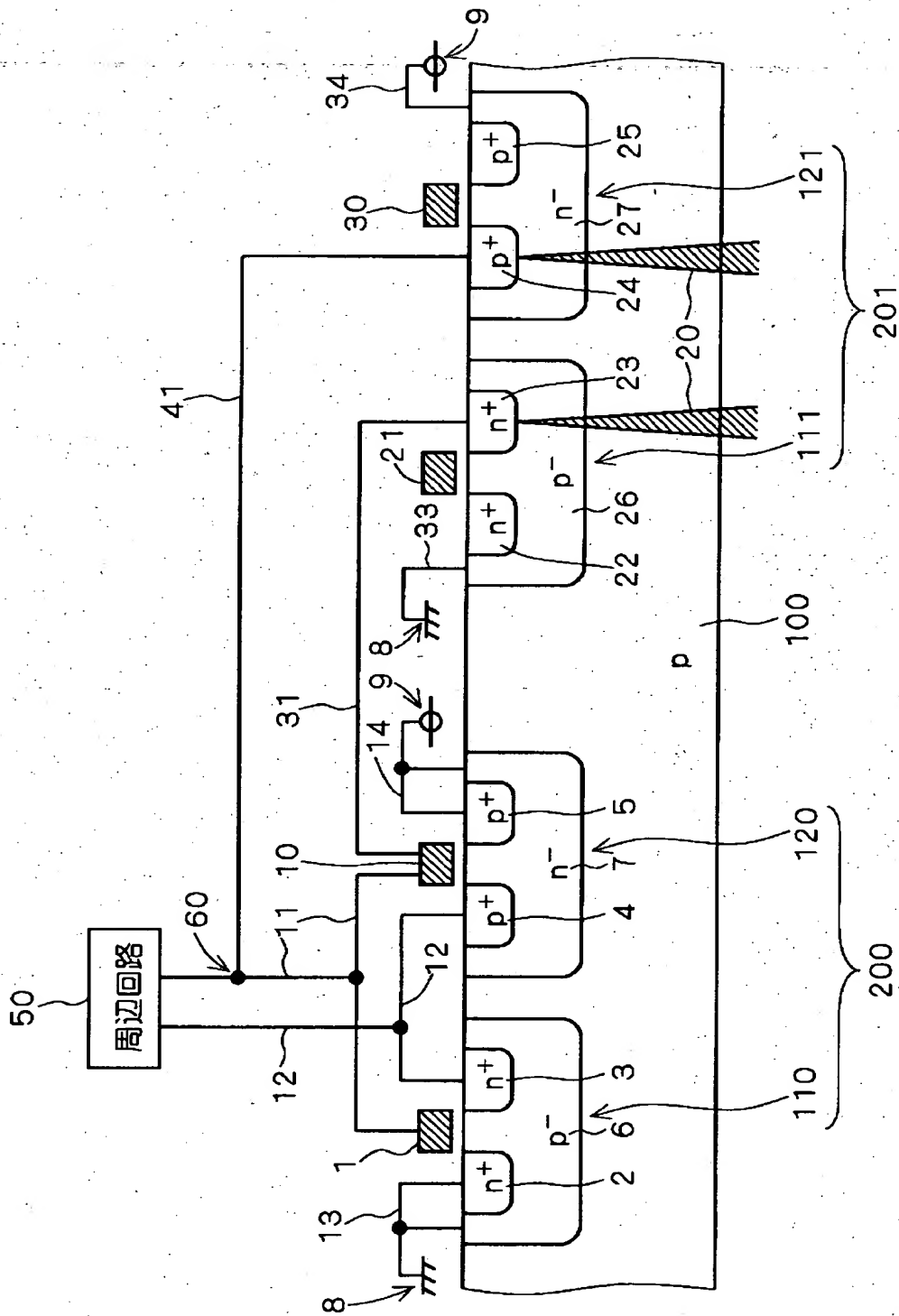


35: 金屬配線

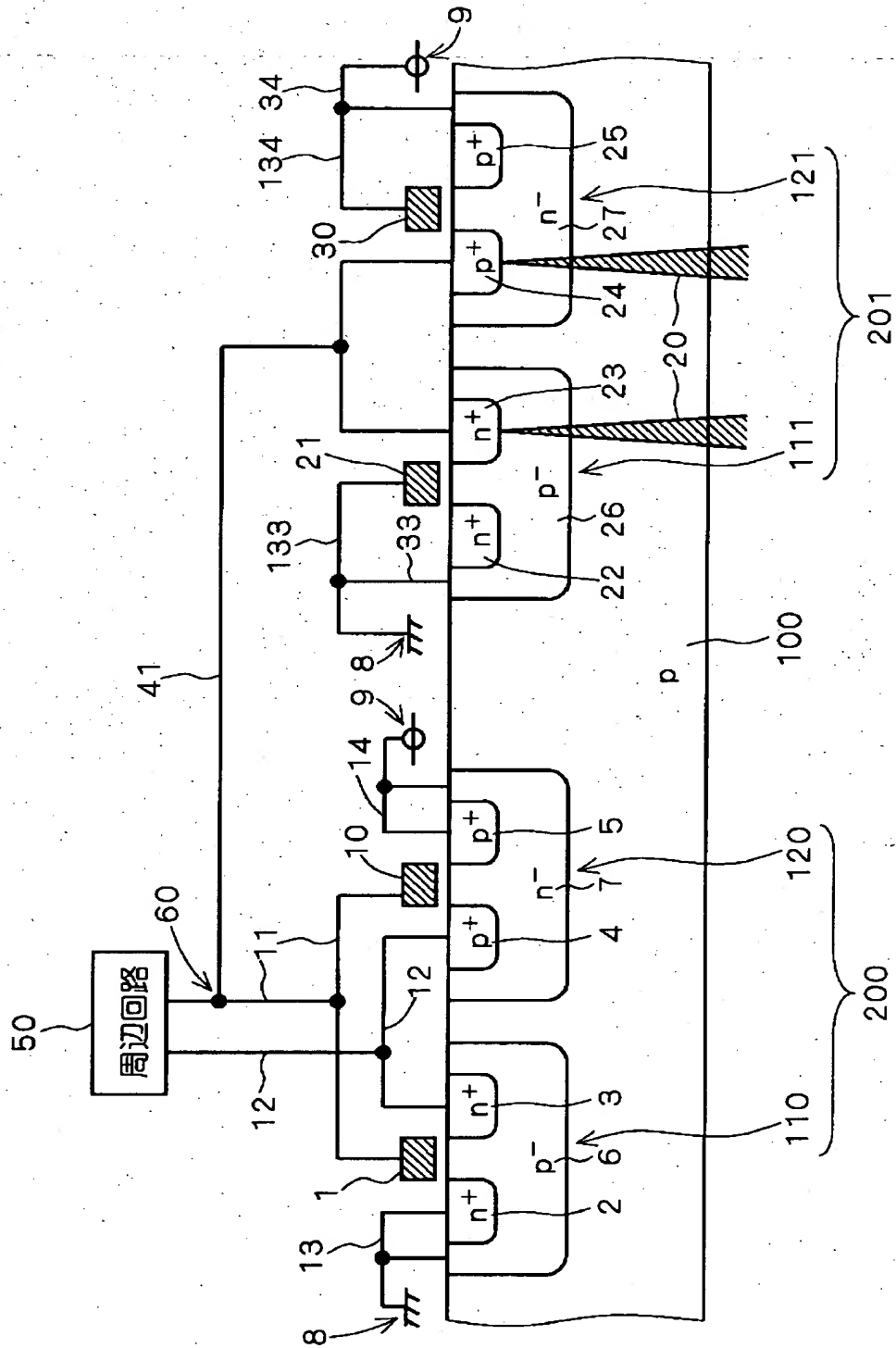
【図 5】



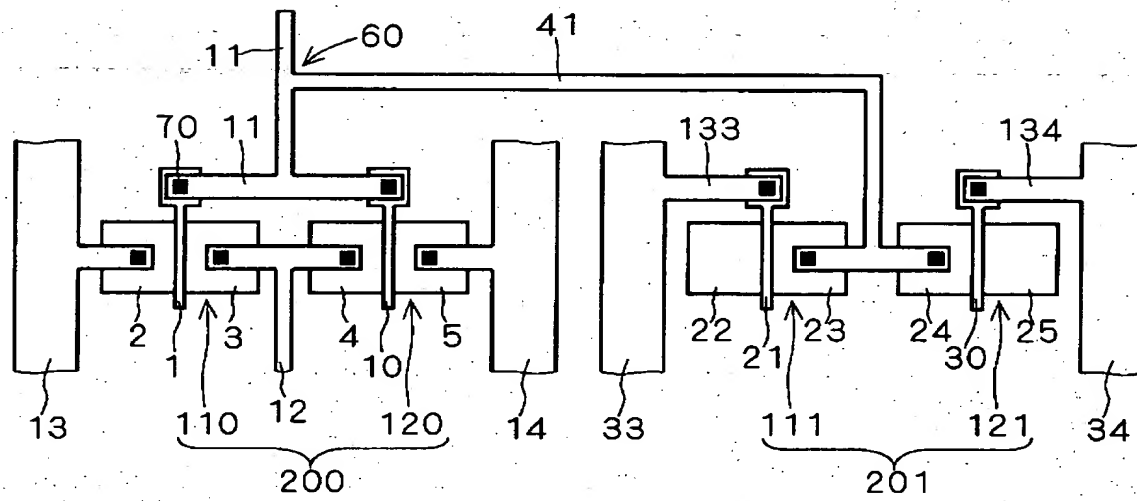
【図6】



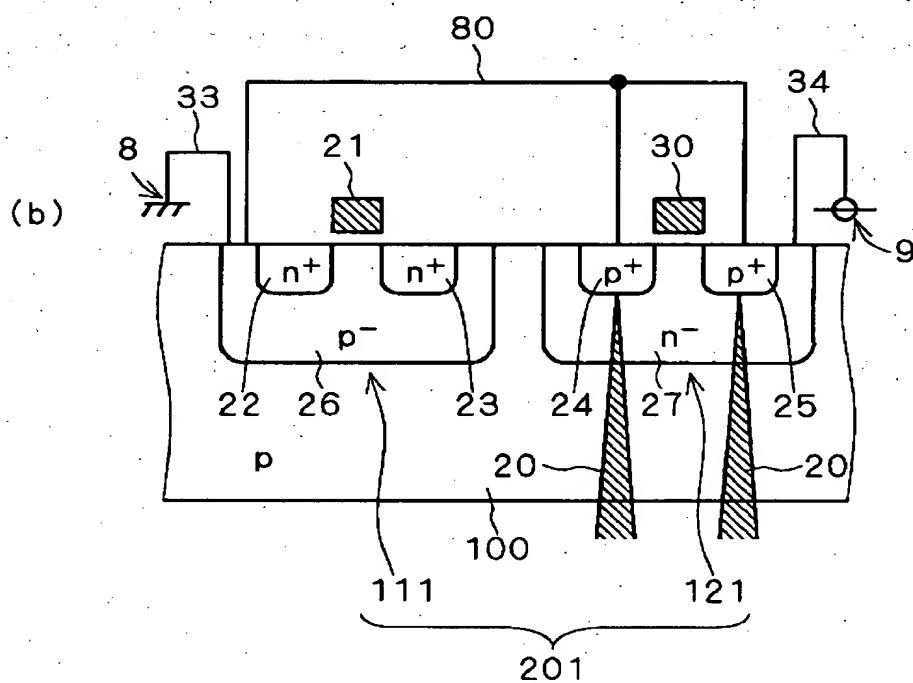
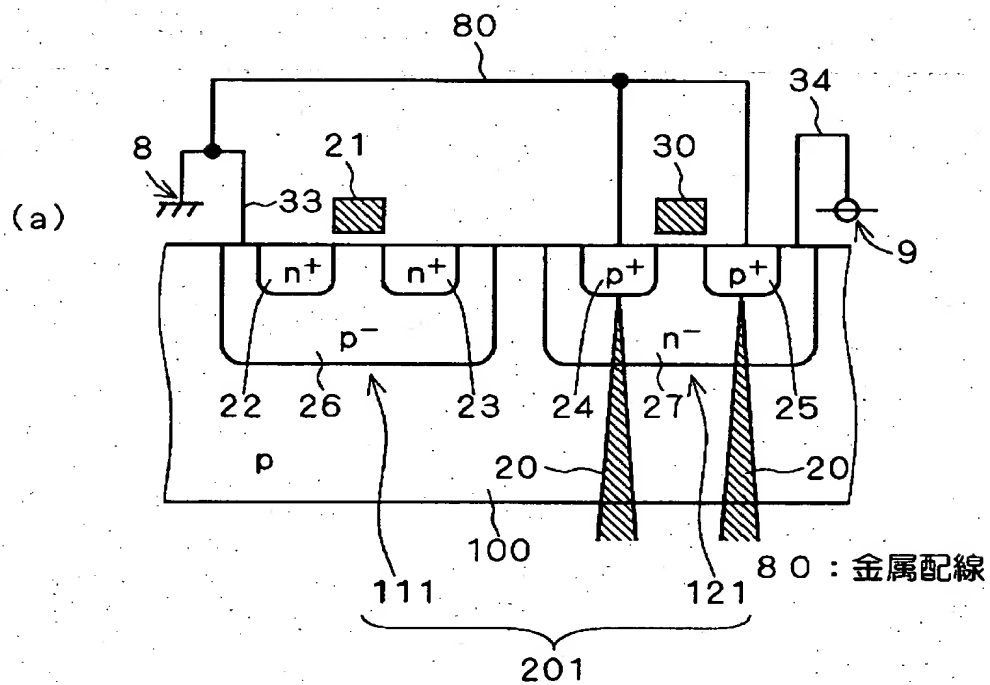
【図7】



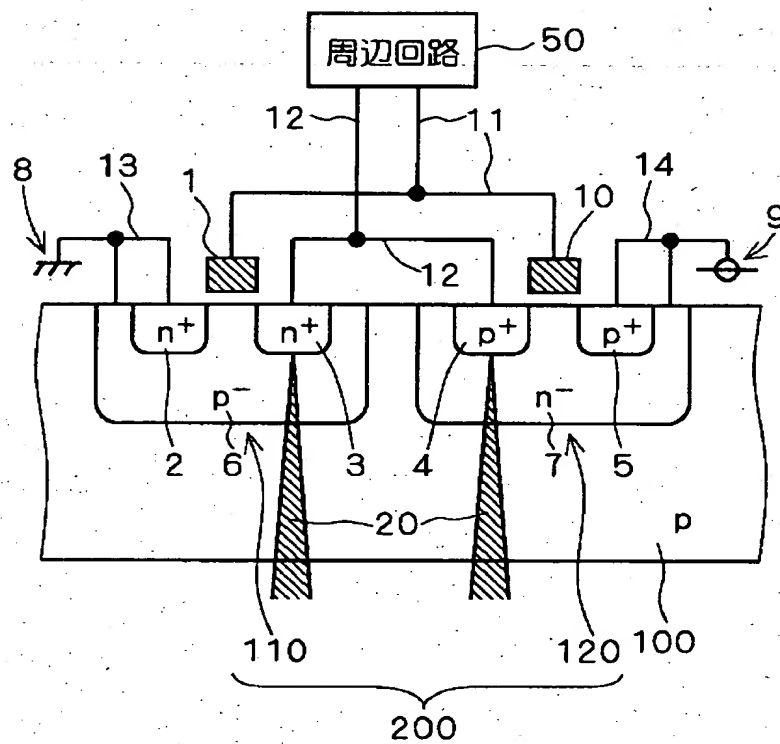
【図 8】



【图9】



【图 1-1】



【書類名】 要約書

【要約】

【課題】 半導体装置の故障箇所をより詳細に突き止めるための構造を提供する

【解決手段】 n^+ 不純物領域 3 及び p^+ 不純物領域 4 は互いに接続され、かつ周辺回路 5 0 に接続されている。また、ゲート電極 1, 1 0 は互いに接続され、かつ周辺回路 5 0 に接続されている。そして n^+ 不純物領域 2 と p^- ウェル領域 6 とはグランド電位 8 が印加されており、 p^+ 不純物領域 5 と n^- ウェル領域 7 とは電源電位 9 が印加されている。 n^+ 不純物領域 2 3 及び p^+ 不純物領域 2 4 は互いに接続され、かつ金属配線 3 1 によってゲート電極 1 0 と接続されている。 p^- ウェル領域 2 6 はグランド電位 8 が印加されており、 n^- ウェル領域 2 7 は電源電位 9 が印加されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社